

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-87069

(P2004-87069A)

(43) 公開日 平成16年3月18日(2004.3.18)

(51) Int. Cl.⁷

G11C 11/15

H01L 27/105

H01L 43/08

F1

G11C 11/15 11O

H01L 43/08 Z

H01L 27/10 447

テーマコード(参考)

5F083

審査請求 未請求 請求項の数 8 OL (全 28 頁)

(21) 出願番号 特願2002-347882 (P2002-347882)
 (22) 出願日 平成14年11月29日(2002.11.29)
 (31) 優先権主張番号 特願2002-185234 (P2002-185234)
 (32) 優先日 平成14年6月25日(2002.6.25)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100078868
 弁理士 河野 登夫
 (74) 代理人 100114557
 弁理士 河野 英仁
 (72) 発明者 井上 剛至
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 濱口 弘治
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 Fターム(参考) 5F083 FZ10 JA45 LA04 LA05

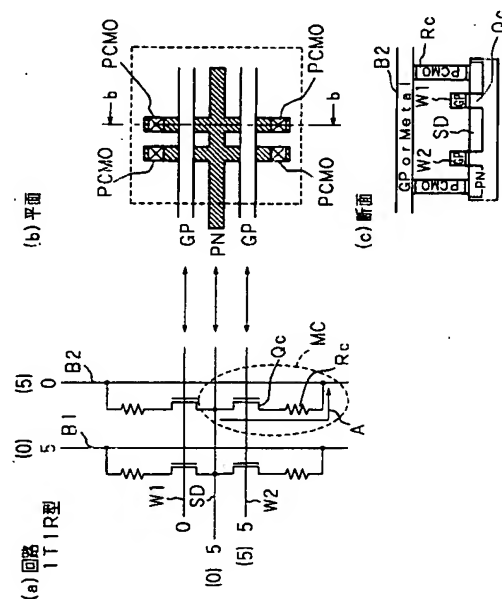
(54) 【発明の名称】 メモリセル及び記憶装置

(57) 【要約】

【課題】ヘロプスカイト構造をもつ薄膜材料(例えばPCMO)等からなる可変抵抗素子を記憶素子として低電圧で動作可能であり、且つ高集積が可能なメモリセル及び該メモリセルを用いた記憶装置を提供する。

【解決手段】MCはメモリセルを示し、電流制御素子Qc及び可変抵抗素子Rcの組み合わせにより構成される。電流制御素子Qcとして電界効果トランジスタを使用する。電流制御素子Qcは可変抵抗素子Rcに流れる電流を制御するように可変抵抗素子Rcの電流路に直列に接続されるものとする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

可変抵抗素子と、該可変抵抗素子に流れる電流を制御する電流制御素子とを備えることを特徴とするメモリセル。

【請求項 2】

前記電流制御素子は電界効果トランジスタであることを特徴とする請求項 1 に記載のメモリセル。

【請求項 3】

前記電流制御素子はダイオードであることを特徴とする請求項 1 に記載のメモリセル。

【請求項 4】

前記電流制御素子はバイポーラトランジスタであることを特徴とする請求項 1 に記載のメモリセル。

【請求項 5】

可変抵抗素子及び該可変抵抗素子に流れる電流を制御する電界効果トランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記電界効果トランジスタのゲートをロー方向において共通に接続するワード線と、前記電界効果トランジスタのソースをロー方向において共通に接続するソースドライブ線と、可変抵抗素子の 1 端をコラム方向において共通に接続するビット線とを備え、前記電界効果トランジスタのドレインと前記可変抵抗素子の他端とを接続してあることを特徴とする記憶装置。

【請求項 6】

可変抵抗素子及び該可変抵抗素子に流れる電流を制御するダイオードにより構成されるメモリセルをマトリクス状に配置してあり、前記ダイオードのアノードをロー方向に共通に接続するワード線と、前記ダイオードのカソードを前記可変抵抗素子の 1 端に接続し、可変抵抗素子の他端をコラム方向に共通に接続するビット線とを備えることを特徴とする記憶装置。

【請求項 7】

可変抵抗素子及び該可変抵抗素子に流れる電流を制御するバイポーラトランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記バイポーラトランジスタのコレクタを共通に接続する共通接続部と、前記バイポーラトランジスタのベースをロー方向において共通に接続するワード線と、可変抵抗素子の 1 端をコラム方向において共通に接続するビット線とを備え、前記バイポーラトランジスタのエミッタと前記可変抵抗素子の他端とを接続してあることを特徴とする記憶装置。

【請求項 8】

前記ワード線はワード線を選択するためのローデコーダに接続され、前記ビット線はビット線を選択するためのコラムデコーダに接続され、該コラムデコーダには前記メモリセルのメモリ情報を読み出すための読み出し用回路が接続されていることを特徴とする請求項 5 ないし 7 のいずれかに記載の記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、メモリセル及び記憶装置に関する。

【0002】

【従来の技術】

ヘロアスカイト構造をもつ薄膜材料、特に巨大磁性抵抗 (CMR: colossal magnetoresistance) 材料や高温超伝導 (HTSC: high temperature superconductivity) 材料により構成した薄膜やバルクに対して、1 つ以上の短い電気パルスを印加することによって、その電気的特性を変化させる手法が提案されている。この電気パルスによる電界の強さや電流密度は、その材料の物理的な状態を変化させるには十分であり、また、材料を破壊することの無い十分に低いエネルギーであれば良く、この電気的パルスは正極性、負極性の何れでもよい。複数

10

20

30

40

50

の電気パルスを繰り返し印加することにより、さらに材料特性を変化させることができる。

【0003】

このような従来技術は、例えば米国特許第6,204,139号明細書に開示されている。図29、図30は従来技術における印加パルス数と抵抗値との関係を示すグラフである。図29は、金属性サブストレートの上に成長させたCMRフィルムに対して印加するパルス数と抵抗との関係を示している。ここでは、32Vの振幅、71nSのパルス幅を持つパルスを47発印加している。このような条件下では、図から分かるように抵抗値は1桁程度変化することが分かる。

【0004】

また、図30は、パルス印加条件を変更して、27Vの振幅、65nSのパルス幅を持つパルスを168発印加している。このような条件下では、図から分かるように抵抗値は約5桁も変化することが分かる。

【0005】

図31、図32は従来技術におけるパルスの極性に対する依存性を示すグラフである。図31は、正極性+12Vと負極性-12Vのパルスを印加した場合のパルス数と抵抗との関係を示す。また、図32は、正極性+51Vと負極性-51Vのパルスを連続印加した後に抵抗値を測定した場合のパルス数と抵抗との関係を示す。図31及び図32に見られるように、数回の正極性パルスを印加して抵抗値を低減させた後、負極性のパルスを連続印加して抵抗値の増大（最終的には飽和状態）を図ることが可能となる。このことは、正極性パルスを印加した時をリセット状態、負極性を印加した時を書き込み状態とすることでメモリアレイへの応用が考えられる。

【0006】

上記従来例では、このような特性を有するCMR薄膜をアレイ状に配置し、メモリを構成した例について開示している。図33は従来技術におけるメモリアレイ構成を示す斜視図である。図33に示されたメモリアレイでは、基板25上に底面電極26を形成し、その上に各1ビットを構成する可変抵抗素子(Resistor)27、上面電極28を形成したものである。可変抵抗素子27それぞれに、つまり各1ビット毎の上面電極28にワイヤー29を接続し、書き込み用のパルスを印加する。また、読み出す場合にも、各1ビット毎の上面電極28に接続されたワイヤー29から電流を読み出すものである。

【0007】

しかしながら、図31、図32に示されたCMR薄膜の抵抗値の変化は2倍程度であり、リセット状態と書き込み状態を識別するには抵抗値の変化量が少ないように思われる。また、このCMR薄膜に印加する電圧が高く、低電圧化動作が要望されるメモリアレイには適さない。

【0008】

この結果に基づき、当出願人等は、USP6,204,139と同一のペロブスカイト構造をもつCMR材料PCMO($\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$)等を用いて、1つ以上の短い電気パルスを印加することによって、新たな特性を取得することができた。つまり、約±5Vの低電圧パルスを印加することによって、薄膜材料の抵抗値が数百Ωから約1MΩまで変化する特性を取得している。そして、この材料を使用してメモリアレイを構成し、読み出し、書き込みを行う回路方式を概念的に示した特許も出願している。

【0009】

【特許文献1】

米国特許第6,204,139号明細書

【0010】

【発明が解決しようとする課題】

しかしながら、図33に示されたメモリアレイでは、各1ビット毎に電極にワイヤーを接続し、書き込み動作時に、このワイヤーを通して書き込み用パルスを印加しており、また

10

20

30

40

50

、読み出し時においても、各1ビット毎に電極に接続されたワイヤーから電流を読み出すために、薄膜材料の特性評価は可能であるが、メモリとしての集積度を上げることができないという問題がある。

【0011】

また、書き込み動作、読み出し動作やリセット動作を行うに当たり、メモリの外部からの入力信号により全て制御しており、従来のメモリのように、メモリデバイス内部において、書き込み動作、読み出し動作やリセット動作を制御できるものとして作成されているものではない。

【0012】

図34は従来のメモリアレイの構成例を示す回路図である。PCMO材料を使用して形成した可変抵抗素子 R_c が 4×4 のマトリクス状に配置されメモリアレイ10を構成する。各可変抵抗素子 R_c の1端子はワード線 $W1 \sim W4$ に、他の1端子はビット線 $B1 \sim B4$ に接続される。メモリアレイ10に隣接して周辺回路32が設けられる。各ビット線 $B1 \sim B4$ にはビットバストランジスタ34が接続され、インバータ38への経路を形成する。ビットバストランジスタ34とインバータ38との間には負荷トランジスタ36が接続される。この構成により、メモリアレイ10の各可変抵抗素子 R_c における読み出し、書き込みを行うことができる。

【0013】

この従来のメモリアレイでは、低電圧でメモリを動作することが可能となる。

しかし、この書き込み、読み出し方式では、アクセスするメモリセルに隣接するメモリセルへのリーク電流経路が発生するために、読み出し動作時には正しい電流値を評価することができない(読み出しディスタープ)。また、書き込み動作時にも、隣接するメモリセルへのリーク電流が発生するために、正しい書き込み動作ができない虞がある(書き込みディスタープ)。

【0014】

例えば読み出し動作において、選択メモリセルにおける可変抵抗素子 R_{ca} の抵抗値を読み出す為に、ワード線 $W3$ に電源電圧 V_{cc} を、ビット線 $B2$ をGNDに、その他のビット線 $B1$ 、 $B3$ 、 $B4$ 及びワード線 $W1$ 、 $W2$ 、 $W4$ はオープンにし、ビットバストランジスタ34 a をオンすることによって、矢符A1で示す電流経路を形成することができるため、抵抗値を読み出すことができる。しかし、可変抵抗素子 R_{ca} に隣接する可変抵抗素子 R_c に対し、矢符A2、A3等で示す電流経路が発生するため、選択メモリセルにおける可変抵抗素子 R_{ca} の抵抗のみの値を読み出すことはできなくなる(読み出しディスタープ)。

【0015】

上記問題点に鑑み、本発明の目的とするところは、ペロブスカイト構造をもつ薄膜材料(例えばPCMO)等からなる可変抵抗素子を記憶素子として低電圧で動作可能であり、且つ高集積が可能なメモリセル及び該メモリセルを用いた記憶装置を提供することにある。

【0016】

更に、本発明の別の目的として、メモリセルアクセス時において、隣接するメモリセルへのリーク電流が生じないメモリ周辺回路を備えた記憶装置を提供することにある。

【0017】

【課題を解決するための手段】

本発明に係るメモリセルは、可変抵抗素子と、該可変抵抗素子に流れる電流を制御する電流制御素子とを備えることを特徴とする。

【0018】

本発明に係るメモリセルにおいては、前記電流制御素子は電界効果トランジスタであることを特徴とする。

【0019】

本発明に係るメモリセルにおいては、前記電流制御素子はダイオードであることを特徴とする。

10

20

30

40

【0020】

本発明に係るメモリセルにおいては、前記電流制御素子はバイポーラトランジスタであることを特徴とする。

【0021】

本発明に係る記憶装置は、可変抵抗素子及び該可変抵抗素子に流れる電流を制御する電界効果トランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記電界効果トランジスタのゲートをロー方向において共通に接続するワード線と、前記電界効果トランジスタのソースをロー方向において共通に接続するソースドライバ線と、可変抵抗素子の1端をコラム方向において共通に接続するビット線とを備え、前記電界効果トランジスタのドレインと前記可変抵抗素子の他端とを接続してあることを特徴とする。

10

【0022】

本発明に係る記憶装置は、可変抵抗素子及び該可変抵抗素子に流れる電流を制御するダイオードにより構成されるメモリセルをマトリクス状に配置してあり、前記ダイオードのアノードをロー方向に共通に接続するワード線と、前記ダイオードのカソードを前記可変抵抗素子の1端に接続し、可変抵抗素子の他端をコラム方向に共通に接続するビット線とを備えることを特徴とする。

【0023】

本発明に係る記憶装置は、可変抵抗素子及び該可変抵抗素子に流れる電流を制御するバイポーラトランジスタにより構成されるメモリセルをマトリクス状に配置してあり、前記バイポーラトランジスタのコレクタを共通に接続する共通接続部と、前記バイポーラトランジスタのベースをロー方向において共通に接続するワード線と、可変抵抗素子の1端をコラム方向において共通に接続するビット線とを備え、前記バイポーラトランジスタのエミッタと前記可変抵抗素子の他端とを接続してあることを特徴とする。

20

【0024】

本発明に係る記憶装置においては、前記ワード線はワード線を選択するためのローデコーダに接続され、前記ビット線はビット線を選択するためのコラムデコーダに接続され、該コラムデコーダには前記メモリセルのメモリ情報を読み出すための読み出し用回路が接続されていることを特徴とする。

【0025】

本発明においては、可変抵抗素子と可変抵抗素子に流れる電流を制御する電流制御素子により、メモリセルを構成したので簡易な構造のメモリセルが可能になり、大容量に適したメモリセルが可能となる。

30

【0026】

本発明においては、可変抵抗素子と可変抵抗素子に流れる電流を制御する電流制御素子により構成されるメモリセルをマトリクス状に配置してメモリアレイとし、コラムデコーダ等の周辺回路をメモリアレイと一体化したので、大容量メモリに適した記憶装置が可能となる。

【0027】

【発明の実施の形態】

以下、本発明の半導体装置について図を用いて詳細に説明する。なお、本発明では、上述したように低電圧パルスで抵抗値が2桁程度変化するCMR材料（例えばPCMO）薄膜を用い、メモリセル及びメモリアレイを構成し、また、そのメモリセル、メモリアレイに対する書き込み動作、読み出し動作、リセット動作を実現する具体的なメモリ周辺回路を示す。

40

【0028】

上記に示した特性を有する薄膜材料（例えばPCMO、 PrO 、 CaO 、 MnO_3 ）等によって可変抵抗素子を作成し、この可変抵抗素子と可変抵抗素子に流れる電流を制御する電流制御素子とによりメモリセルを構成する。

【0029】

<実施の形態1>

50

図1は本発明に係るメモリアレイの構成を示す説明図である。同図(a)は回路図を、(b)は同回路図のレイアウトパターンの概略平面図を、(c)は(b)の矢符b bにおける概略断面図を示す。なお(c)において断面を表す斜線は省略する(他の断面についても同様である)。

【0030】

MCはメモリセル(以下、単にセルということもある)を示し、電流制御素子Qc及び可変抵抗素子Rcの組み合わせにより構成される。電流制御素子Qcとして電界効果トランジスタ(FET、以下Trともいう)を使用する(以下、電界効果トランジスタにより構成される電流制御素子QcをTr Qcともいう)。

Tr Qcは可変抵抗素子Rcに流れる電流を制御するように可変抵抗素子Rcの電流路に直列に接続される。このメモリセルMCは1個の電流制御素子(電界効果「トランジスタ」)Qcと1個の可変抵抗素子(Resistor)Rcとの組み合わせであるから1T1R型(メモリセル)という。

【0031】

メモリセルMCをマトリックス状に2×2個配置してメモリアレイとした状態を示す。Tr Qcのゲートをロー方向において共通に接続してワード線W1、W2を構成し、Tr Qcのソースをロー方向において共通に接続してソースドライバ線SDを構成する。Tr Qcのドレインを可変抵抗素子Rcの一方の端子に接続し、可変抵抗素子Rcの他方の端子をコラム方向において共通に接続してビット線B1、B2を構成し、メモリアレイを形成する。

【0032】

ソースドライバ線SDを5V、ワード線W1を0V、ワード線W2を5V、ビット線B1を5V、ビット線B2を0Vに設定すると矢符Aで示すように電流路が形成され、可変抵抗素子Rcの両端に電位差が発生することによって抵抗値を変更できる。ソースドライバ線SDはPN層(拡散層)、ワード線W1、W2はGP線(ポリシリコン配線)、ビット線B1、B2はGP線(ポリシリコン配線)またはメタル線により形成する。可変抵抗素子RcはPCMO膜により構成してTr Qcのドレイン上部に配置し、PCMO膜の上部にビット線B1、B2を配置する。なお、PCMO膜とビット線B1、B2との接続部、PCMO膜とTr Qcとの接続部にはコンタクト金属が形成される。コンタクト金属としては例えば、白金(Pt)、イリジウムなどを用いることが可能である。

【0033】

また、ワード線W1、W2は図示しないローデコーダに接続され、ローデコーダにより適宜ワード線W1、W2に信号が印加され、ワード線W1、W2の選択がなされる。ビット線B1、B2は図示しないコラムデコーダに接続され、コラムデコーダにより適宜ビット線B1、B2に信号が印加され、ビット線B1、B2の選択がなされる。

【0034】

以下メモリアレイの動作方法について説明する。メモリアレイが非アクティブ時(フリチャージ状態)の場合には、全ビット線B1、B2に0V(GNDレベル)、全ワード線W1、W2に0Vを印加する。また、各メモリセル内のTr Qcにソース電圧を供給する全てのソースドライバ線SDにも0Vを供給する。

【0035】

(書き込み動作)

図2、図3は本発明に係るメモリセルへの書き込み動作を説明する回路図である。図2はメモリアレイの領域を、図3はコラムデコーダ回路を示し、図2のビット線B2、B4、B6、B8は延長して図3のビット線B2、B4、B6、B8に接続される。

【0036】

メモリアレイはメモリセルMCを8×4個配置して構成される。図1と同様にして、ビット線B1～B8、ワード線W1～W4、ソースドライバ線SD1、SD2が形成される。ソースドライバ線SD1、SD2はソース電圧印加用ドライバSDC1、SDC2へそれぞれ接続される。

10

20

30

40

50

【0037】

コラムデコーダ回路CDは、T₁E0、E1、E2、E3のT₁群及びT₁F0、F1、F2、F3の選択トランジスタ群等で構成される。T₁E0、E1、E2、E3は、一方の端子をビット線B2、B4、B6、B8に接続され、他方の端子を電位V_{dd}とした電位線CDBHに接続される。T₁F0、F1、F2、F3は、一方の端子をビット線B2、B4、B6、B8に接続され、他方の端子をT₁Q_{cd}を介して電位0Vとされる電位線CDBLに接続される。ビット線B1、B3、B5、B7にも同様にコラムデコーダ回路CDが接続されることはいうまでもない。なお、T₁E0、E1、E2、E3の制御及びT₁F0、F1、F2、F3の制御はコラムアドレス信号(線)CDS2、CDS4、CDS6、CDS8により行う。また、T₁E0、E1、E2、E3への入力の反転信号をT₁F0、F1、F2、F3への入力として与える。

10

【0038】

選択されたメモリセルMC α への書き込み動作を実行する(メモリセルMC α 内の可変抵抗素子R_cの抵抗値を上昇させる)には、選択されたメモリセルMC α 内の可変抵抗素子R_cに接続されているビット線B2に0Vを印加する。その他のビット線B1、B3~B8にはV_{dd}(例えば3V。以下同様)を印加する。また、アクセスすべきメモリセルMC α のT₁Q_cのゲートに接続されたワード線W2に2V_{dd}+ Δ V(6+1=7V)を印加し、メモリセルMC α におけるT₁Q_cによる電圧降下を少なくしている。また、非選択メモリセルMCに接続されたワード線W1、W3、W4には0Vを印加してT₁Q_cはオフとする。

20

【0039】

ソース電圧印加用ドライバSDC1を駆動(T₁Q_{sd}1をオンしてV_{dd}を出力)することによってソースドライブ線SD1つまり選択メモリセルMC α に接続したソースにはV_{dd}(3V)を印加する。また、非選択メモリセルMCに接続されたソースには、ソース電圧印加用ドライバSDC2をオフ(T₁Q_{sd}2をオフしてV_{dd}を出力しない)することによって、電圧は印加されないようにする。

【0040】

この入力条件のもとでは、ソースドライブ線SD1から選択メモリセルMC α 内のT₁Q_cを通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路ができるため、選択メモリセルMC α 内の可変抵抗素子R_cに電圧を印加することができ、可変抵抗素子R_cに書き込み動作(メモリセル内可変抵抗値の上昇)を実行することができる。即ち、選択メモリセルMC α 内の可変抵抗素子R_cの両端にはV_{dd}(3V)に近い電位差が確保されるため、可変抵抗素子R_cの抵抗値は、数百 Ω から約1M Ω にまで上昇する。この一連の動作により、選択メモリセルMC α のみに書き込みが行われることになる。

30

【0041】

この時、非選択メモリセルMCの可変抵抗素子R_cの抵抗値が変動しないように、可変抵抗素子R_c間には電位差が生じないように配慮する必要がある。このために、コラムデコーダCD内のT₁E1、E2、E3はコラムアドレス信号(線)CDS4(DISABLE)、CDS6(DISABLE)、CDS8(DISABLE)によりオンすることによって、ビット線B4、B6、B8にV_{dd}(3V)を印加する。一方、選択メモリセルMC α に接続したビット線B2に接続するT₁E0は、入力されたコラムアドレス信号CDS2(ENABLE)に基づいて、オフ状態となり、これに伴い選択T₁F0がオンして、矢符Aで示す電流経路を通じてビット線B2の電位は電位線CDBLの電位0Vになる。電位線CDBLの電位はT₁Q_{cd}をオンして供給する。なお、電位線CDBLの電位0VはT₁Q_{cd}へ印加される0Vのパルスにより得られる。上記のように各電位を設定することにより、選択メモリセルMC α に隣接するセルの誤書き込み(書き込みディスタープ)を抑制することが可能となる。

40

【0042】

(リセット動作)

図4、図5は本発明に係るメモリセルのリセット動作を説明する回路図である。図4はメ

50

モリアレイの領域を、図5はコラムデコード回路を示し、回路構成自体は図2、図3の場合と同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

【0043】

選択されたメモリセルMCαにおける可変抵抗素子Rcの抵抗値をリセットするには、選択メモリセルMCαの可変抵抗素子Rcと接続されているビット線B2に2Vdd(6V)を印加する。この2Vdd(6V)は電位線CDBLによりTnF0を介して供給される。なお、電位線CDBLの電位はオンするTnQcdへ印加される2Vddのパルスになる。また、選択メモリセルMCαのTnQcのゲートに接続されたワード線W2に2Vdd+ΔV(6+1=7V)を印加し、その他のワード線W1、W3、W4は非アクティブ状態からの0V印加の状態を維持する。

10

【0044】

そして、選択メモリセルMCαのTnのソースに接続されているソースドライバ線SD1にはソース電圧印加用ドライバSDC1を駆動(TnQSD1をオンしてVddを出力)してVdd(3V)を印加する。また、選択されないビット線B1、B3~B8にはVddを印加することによって、選択されないメモリセルMC内の可変抵抗素子Rc間に電位差が生じないように対策を講じる。つまり、前述した説明と同様に、コラムデコードCD内のTnE1、E2、E3をコラムアドレス信号(線)CDS4、CDS6、CDS8によりオンすることによって、ビット線B4、B6、B8(図5)に電位線CDBHからVdd(3V)を印加する。一方、選択メモリセルMCαに接続したビット線B2に接続するTnE0は、入力されたコラムアドレス信号CDS2に基づいて、オフ状態となり、これに伴い選択TnF0がオンする。これにより、矢符Aで示す電流経路を通じてビット線B2の電位は電位線CDBLの電位2Vddに設定される。

20

【0045】

この入力条件の下では、ビット線B2から選択メモリセルMCα内のTnQcを通り、ソースドライバ線SD1に抜ける矢符Aで示す唯一の電流経路ができるため、選択メモリセルMCα内の可変抵抗素子Rcに電圧を印加することができ、可変抵抗素子Rcのリセット動作(抵抗値の低減)を実行することができる。そしてこのビット線B2から2Vddを印加することによって、可変抵抗素子Rcの抵抗値は、約数百Ωにまで低減する。この一連の動作により、選択メモリセルMCαのみに書き込みデータのリセット動作が行われることになる。

30

【0046】

(読み出し動作)

図6、図7、図8は本発明に係るメモリセルの読み出し動作を説明する回路図である。図6はメモリアレイの領域、図7はコラムデコード回路、読み出し用回路の部分、図8はRef用セルアレイ、Ref用コラムデコード回路、読み出し用回路の部分を示し、図2乃至図5の場合と同様であり、同一部分には同一の符号を付して詳細な説明は省略する。読み出し用回路RCはマルチプレクサMPX、差動増幅器DIAP、読み出し用ショート回路SCRead等により構成される。

【0047】

このメモリアレイが非アクティブ時(プリチャージ状態)には、書き込み動作と同様に、全ビット線B1~B8を0V(GNDレベル)、全ワード線W1~W4を0Vに印加する。

40

【0048】

次いで、選択メモリセルMCαに接続されたソースドライバ線SD1に0Vを印加し、ビット線B2にはVdd/2(1.5V)又は1.0Vを印加する。Vdd/2はVdd/2作成回路J2により作成され、電位線CDBJ2を介して供給される。選択メモリセルMCαのTnQcのゲート部が接続されているワード線W2のみを2Vdd+ΔV(6+1=7V)に印加する。また、他のワード線W1、W3、W4にはプリチャージ状態からの0V印加を持続する。また、入力されたコラムアドレス信号(線)CDS2、CDS4、CDS6、CDS8に基づいて、選択メモリセルMCαに接続されたビット線B2を除

50

く他のビット線B4、B6、B8（図7）に対して0Vを供給する。0VはCDBJ1を介して供給される。このことによって、非選択メモリセルMCαの可変抵抗素子Rc間には、電位差が発生せず、抵抗値が変動しないように対策をとっている。

【0049】

入力されたコラムアドレス信号（線）CDS2（ENABLE）、CDS4（DISABLE）、CDS6（DISABLE）、CDS8（DISABLE）に基づいて、選択メモリセルMCαに接続されたビット線B2に接続したTnE0、TnG0のみがオフ状態となり、コラムデコーダCD内の他のTnE1、E2、E3、G1、G2、G3は全てオン状態となり、選択メモリセルMCαに接続されたビット線B2を除く他のビット線B4、B6、B8に対して電位線CDBJ1から0Vを供給することが可能となる。

10

【0050】

また、入力されたコラムアドレス信号（線）CDS2（ENABLE）、CDS4（DISABLE）、CDS6（DISABLE）、CDS8（DISABLE）に基づいて、電位線CDBJ2に接続されるTnF0、F1、F2、F3の内、TnF0のみがオン状態となり、選択メモリセルMCαに接続されたビット線B2のみにVdd/2（1.5V）又は1.0Vが供給される。その結果、ソースドライバ線SD1から選択メモリセルMCα内のTnQcを通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路が形成され読み出し動作が実行される。

【0051】

なお、選択メモリセルMCαに隣接するメモリセルMCb、MCcについての読み出し時のディスタープ（ディスタープの抑制）について、以下に説明する。
アクティブとなる読み出し用0Vドライバ回路RDC1に接続されたソースドライバ線SD1と接続されたメモリセルMCbにはコラムデコーダCDより0Vが供給されるため、メモリセルMCb内の可変抵抗素子Rc間には電位差が発生せず、抵抗値の変動は起こらない。また、メモリセルMCcでは、セル内のTnQcがオフとなり、メモリセルMCcの可変抵抗素子Rc間には電位差が発生せず、可変抵抗値の変動は起こらない。一方、その他のワード線に接続されたメモリセルでは、メモリセル内のTnがオフとなり、セル内の可変抵抗素子Rc間には電位差が発生しない。従って、アクセスされるセル以外のメモリセル内における可変抵抗素子Rcの抵抗値は変動することは無い。つまり、上記のように各電位を設定することにより、選択メモリセルMCαに隣接するメモリセルの誤読み出し（読み出しディスタープ）を抑制することが可能となる。

20

30

【0052】

なお、読み出し用の1.5V作成回路J2又は1.0V作成回路は、抵抗分割により1.5V（1.0V）基準電位を作成し、この信号を差動増幅器に入力し、電流増幅することにより、目的とする1.5V又は1.0Vを作成することができ。

【0053】

また、読み出し動作において、図6、図7に示すように、各ビットラインからの出力は、読み出し回路RC内のマルチプレクサMPXに入力され、マルチプレクサMPXの各出力値とRef Levelとを差動増幅器DIAPで比較し、メモリセルMCに蓄積されたデータを1または0として識別する。

40

【0054】

なお、上述したように、差動増幅器DIAPの基準値となるRef LevelはRef用メモリセルアレイRefMCAとRef用コラムデコーダRefCDにて作成される。選択メモリセルMCαがアクセスされたときに、ソースドライバ線SD1がアクセスされ、また、ワード線W2がアクセスされることより、Ref Level作成用のメモリセルRefA0とメモリセルRefB0も同時にアクセスされる（図8参照）。Ref用コラムデコーダRefCDにて、Ref用ビット線C0とRef用ビット線C1に電位線CDBJ2からVdd/2が供給されることにより、Ref用ビット線C0とRef用ビット線C1には、メモリセルRefA0とメモリセルRefB0のデータが出力される。

50

【0055】

Ref用メモリセルアレイRefMCAの左半分には予め抵抗値を大に設定しておく、右半分には予め抵抗値を小に設定しておく。したがって、メモリセルRefA0から読み出されたRef用ビット線C0は高レベルを示し、メモリセルRefB0から読み出されたRef用ビット線C1は低レベルを示す。読み出し用回路RC内の読み出し用ショート回路SCReadにおいてRef用ビット線C0の信号とRef用ビット線C1の信号とをショートすることにより、これらの信号の中間値が得られる。このレベルを読み出し用回路RC内の差動増幅器DIAPのRef Levelとして入力する。Ref LevelとマルチプレクサMPXからの出力の読み出しデータとを差動増幅器DIAPにより比較して、メモリセルMCに蓄積されたデータが1か0かを識別し、読み出し動作が実行される。

10

【0056】

図9、図10、図11は本発明に係るメモリセルの周辺回路の配置を示す回路図である。メモリセルMCに対して書き込み動作、リセット動作、読み出し動作を行う場合に必要となる各種ドライバの配置を示す。図9はソースドライバK1、メモリアレイを、図10はコラムデコーダ回路CD、読み出し用回路RCを、図11はRef用メモリセルアレイRefMCA、Ref用コラムデコーダ回路RefCD、アクセスビット線電位供給用ドライバK2、ソースドライバK1Pを示し、図2乃至図8の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

【0057】

ソースドライバK1、K2は、ソースドライバ線SD1、SD2をそれぞれ駆動する。ソースドライバ線SD1、SD2は書き込み時Vddに、リセット時Vddに、読み出し時0Vに設定される。

20

【0058】

アクセスビット線電位供給用ドライバK2は、電位線CDBK2を介して選択されたビット線（例えば、ビット線B2）に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線CDBK2は書き込み時0V、リセット時2Vdd、読み出し時Vdd/2に設定される。例えば、選択メモリセルMCaをアクセスするには、書き込み動作の場合にはビット線B2に0Vを供給する必要がある、この0V供給は、アクセスビット線電位供給用ドライバK2にて発生させる。

30

【0059】

ソースドライバK1Pは、電位線CDBK1Pを介して選択されたビット線に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線CDBK1Pは書き込み時Vddに、リセット時Vddに、読み出し時0Vに設定される。

【0060】

図12はアクセスビット線電位供給用ドライバの一例を示す説明図である。同図(a)は回路図を、(b)はタイミングチャートを示す。書き込み動作時はWriteサイクルとして、アクセスビット線ドライバ出力を0Vにし、このときには、リセット動作用ドライバ、及び読み出し動作用ドライバの出力はフローティング状態となる。つまり、書き込み動作時には、(b)のタイミングチャートに示すように、EW信号がハイレベルとなる。従って、ライトドライバがイネーブルとなり、アクセスビット線電位供給用ドライバからは0Vが供給される。この時、読み出し動作時アクティブとなるER信号や、リセット動作時アクティブとなるERST信号はタイミングチャートに示すようにローレベルである。この場合、ERST信号の遅延信号ERSTdはローレベルであり、ERSTdb信号はハイレベルであるために、リセットドライバの出力はフローティング状態となる。

40

【0061】

また、ER信号はローレベルであるために、リードドライバの出力はフローティング状態となる。同様にリセット動作時には6Vを供給し、書き込み用ライトドライバ及び読み出し動作用リードドライバの出力はフローティング状態となる。また、読み出し動作時には、選択されたセルのビット線に書き込み動作と同様に0Vとし、書き込み動作用ライトド

50

ライバ及びリセット動作用リセットドライバの出力はフローティング状態となる。

【0062】

図13はソース電圧印加用ドライバ及びビット線電位供給用ドライバの一例を示す回路図である。ソース電圧印加用ドライバK1は、書き込み時、リセット動作時及び読み出し動作時には、選択メモリセルMCαに接続されたソース線に対して、V_{dd}電位を供給する。また、書き込み動作時、リセット動作時、及び読み出し動作時には、選択されない全ビット線に対して3Vを供給するものである。

【0063】

図14、図15はリセット動作を行う別のアクセス方法を説明する回路図である。図2乃至図11の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

10

(他のリセット動作の説明)

選択されたメモリセルMCαにおける可変抵抗素子R_cの抵抗値をリセットするには、選択メモリセルMCαの可変抵抗と接続されているビット線B2にV_{dd}(3V)を印加する。また、選択メモリセルMCαのT₁Q_cのゲートに接続されたワード線W2にV_{dd}+ΔV(3+1=4V)を印加し、その他のワード線W1、W2、W4は非アクティブ状態からの0V印加の状態を維持する。そして、選択するメモリセルのT₁Q_cのソースに接続されているソースドライバ線SD1には0Vを印加する。

【0064】

また、非選択のビット線B1、B3~B8には0Vを印加することによって、非選択メモリセルMC内の可変抵抗素子R_c間に電位差が生じないように対策を講じる。これは、前述した抵抗値リセット動作にて説明したように、コラムデコーダCD内のT₁E1、E2、E3をコラムアドレス信号(線)CDS4、CDS6、CDS8によりオンすることによって、ビット線B4、B6、B8(図15)に電位線CDBHの0Vを印加する。一方、選択メモリセルMCαに接続したビット線B2に接続するT₁E0は、入力されたコラムアドレス信号CDS2に基づいて、オフ状態となり、これに伴い選択T₁F0がオンする。これにより、矢符Aで示す電流経路を通じてビット線B2の電位は電位線CDBLの電位V_{dd}に設定される。

20

【0065】

この入力条件の基では、ビット線B2から選択メモリセルMCα内のT₁Q_cを通り、ソースドライバ線SD1に抜ける矢符Aで示す唯一の電流経路ができるため、選択メモリセルMCα内の可変抵抗素子R_cに電圧を印加することができ、可変抵抗素子R_cのリセット動作(抵抗値の低減)を実行することができる。そしてこのビット線B2からV_{dd}を印加することによって、可変抵抗素子R_cの抵抗値は、約数百Ωにまで低減する。この一連の動作により、選択メモリセルMCαのみに書き込みデータのリセット動作が行われることになる。この場合、先のリセット動作の実施例に比べ、2V_{cc}を供給するための高電圧作成回路(昇圧回路)を省略することが可能となる。読み出し方式は前述と同様の手法である。

30

【0066】

図16、図17、図18は書き込み動作、リセット動作、読み出し動作を示すブロック図である。図16はソースドライバK1、メモリアレイを、図17はコラムデコーダ回路CD、読み出し用回路RCを、図18はRef用メモリセルアレイRefMCA、Ref用コラムデコーダ回路RefCD、アクセスビット線電位供給用ドライバK2、ソースドライバK1Pを示し、図2乃至図11、図14、図15の場合と基本的には同様であり、同一部分には同一の符号を付して詳細な説明は省略する。

40

【0067】

ソースドライバK1は、ソースドライバ線SD1、SD2をそれぞれ駆動する。ソースドライバ線SD1、SD2は書き込み時V_{cc}に、リセット時0Vに、読み出し時0Vに設定される。

【0068】

50

10

【 0 0 6 9 】
ソースドライバ K 1 P は、電位線 C D B K 1 P を介して選択されたビット線（例えば、ビット線 B 2）に対して、書き込み用電位、リセット用電位、読み出し用電位を供給する。電位線 C D B K 1 P は書き込み時 V_{CC} に、リセット時 0 V に、読み出し時 0 V に設定される。

【 0 0 7 0 】
最初、可変抵抗値が相対的に大きい場合は、上述した書き込み動作を初めて実行したときに可変抵抗値が低減される。また、可変抵抗値が相対的に小さい場合には、上述したリセット動作を初めて実行したときに可変抵抗値が上昇する。このように、可変抵抗値の初期値の大小に依存して、可変抵抗値が上昇または低減する。つまり、最初に可変抵抗値が大きいのであれば、初めて実行した動作が上述した書き込み動作、リセット動作どちらの場合にも可変抵抗値が小に低減される。また、最初に可変抵抗値が小であれば、初めて実行した動作が上述した書き込み動作、リセット動作のどちらの場合にも可変抵抗値は大に上昇する。

【 0 0 7 1 】
図 1 9 は本発明に係るメモリセルの周辺回路の配置を示すブロック図である。

30

【0072】 本実施形態のマイコンの周辺回路の配置を示すブロック図である。

40

【 0 0 7 8 】
それに比べ、ペロプスカイト構造を使用した本発明に係る 1 T 1 R 型のメモリセルでは、電源電圧が 2 ～ 5 V 程度の低電圧にて書き込み動作、リセット動作、読み出し動作が可能となることから、図 1 9 に示すように、従来必要とした昇圧回路 L U C を削除することができ、周辺回路の簡素化、低消費電力化が図れる。

【 0 0 7 4 】

50

実行する必要があるため、書き込み動作が極端に遅くなる。ペリファイ動作後、書き込みデータが正しくない場合には、再度書き込み動作、ペリファイ動作を実行する必要が生じる。

【0075】

しかし、ペロアスカイト構造を使用した本発明に係る1T1R型のメモリセルでは、1サイクルの書き込み動作、及びリセット動作にて、メモリセル内の抵抗値が変化し、しかも、安定した変化を達成することが可能なために、ペリファイ動作が不要となる。つまり、ペリファイ動作が不要な分だけ、書き込み動作、リセット動作に要する時間を大幅に短縮することができる。

10

【0076】

<実施の形態2>

実施の形態2におけるメモリセルは、薄膜材料PCMO等を可変抵抗素子として用い、電流制御素子として実施の形態1におけるFETに変え、PN接合ダイオード（以下ダイオードという）を使用したものである。図21は本発明に係るメモリアレイの構成を示す説明図である。同図(a)は概略平面図を、(b)は(a)の矢符bbにおける概略断面図を、(c)は(a)の矢符ccにおける概略断面図を示す。

【0077】

ワード線W1~W5とビット線B1~B5との交点にダイオード及び可変抵抗素子の直列構成からなるメモリセルを作成することによって、大幅な微細化が可能となる。各ワード線W1~W5はダイオードのアノードをロー方向に共通に接続している。ダイオードのカソードは可変抵抗素子の1端に接続され、可変抵抗素子の他の端子はコラム方向に共通に接続され各ビット線B1~B5に接続される。このように接続することによりメモリアレイが構成される。図においては、ワード線W2とビット線B4との交点（実線に重ねて破線）で幅を示す）にあるメモリセルをアクセスメモリセルKとして示している。ここでは5×5=25のメモリセルが形成されている。このメモリセルは1個のダイオード(Diode)と1個の可変抵抗素子(Resistor)との組み合わせであるから1D1R型（メモリセル）という。また、参考により書き込み動作時、リセット動作時におけるワード線W1~W5、ビット線B1~B5への印加電圧を電圧値で表示している。

20

【0078】

ワード線W1~W5、ビット線B1~B5は通常ポリシリコンにより構成される。(b)においては、各ワード線W1~W5から各ダイオードのPN接合を通り、PCMOにより作成された可変抵抗素子を通りビット線B4に抜ける電流経路が形成される。(c)においては、ワード線W2から各ダイオードのPN接合を通り、PCMOにより作成された可変抵抗素子を通り各ビット線B1~B5に抜ける電流経路が形成される。なお、PCMO膜とビット線B1~B5との接続部、PCMO膜とダイオードとの接続部にはコンタクト金属が形成される。コンタクト金属としては例えば、白金(Pt)、イリジウムなどを用いることが可能である。

30

【0079】

このように構成したメモリアレイの動作方法について説明する。

40

(書き込み動作)

図22、図23は本発明に係るメモリセルへの書き込み動作を説明する回路図である。本発明に係る可変抵抗素子へのデータの書き込みは、可変抵抗素子間に2Vを与えれば書き込み動作が可能である。また、ダイオードの逆方向耐圧は2Vのものをを用いた場合について以下に説明する。このメモリアレイが非アクティブ時（フリチャージ状態）には、全ビット線B1~B8を0V、全ワード線W1~W6を0Vに印加する。選択されたメモリセルMCαへの書き込み動作を実行する（選択メモリセルMCα内の可変抵抗素子の抵抗値を上昇させる）には、選択メモリセルMCα内の可変抵抗素子に接続されているビット線を上昇させる）には、選択メモリセルMCα内の可変抵抗素子に接続されているビット線B2に2Vを印加し、その他のビット線B1、B3~B8には0Vを印加する。また、選択メモリセルMCαのダイオードに接続されたワード線W2には-2Vを印加する。その他のワード線W1、W3~W6には0Vを印加する。各ワード線W1~W6はワード電圧

50

印加用ドライバWDC1～WDC6（部分のみ図示）により電位を確定する。

【0080】

この入力条件の下では、図22に示すように、ビット線B2から選択メモリセルMCα内の可変抵抗素子及びダイオード（逆方向電圧が印加されている）を通り、矢符Aで示すワード電圧印加用ドライバWDC2に抜ける唯一の電流経路ができるため、選択メモリセルMCα内の可変抵抗素子に電圧を印加することができ、可変抵抗素子に書き込み動作（メモリセル内可変抵抗値の上昇）を実行することができる。

【0081】

そしてこの条件の下で、選択メモリセルMCαに接続したビット線B2から2Vを印加し、選択されたメモリセルに接続したワード線W2には-2Vを印加することによって、可変抵抗値は、約1MΩにまで上昇する。この一連の動作により、選択されたメモリセルのみに書き込みが行われることになる。

【0082】

また、選択メモリセルMCα内の可変抵抗素子以外の可変抵抗素子の抵抗値が変動しないように、選択メモリセルMCα内の可変抵抗素子以外の可変抵抗素子間には電位差が生じないように、配慮する必要がある。

【0083】

このために、図28中のコラムデコーダCD内のT1E1、E2、E3がすべてONすることによって、選択されないビット線B4、B6、B8（図28）には0Vを印加することができる。また、選択メモリセルMCαに接続したビット線B2を選択するT1E0のみ、入力されたコラムアドレス（コラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8）に基づいて、オフ状態となり、これに伴いビット線B2（C）に2Vを供給するT1F0がオンすることになる。その他の2V供給用T1F1、F2、F3はオフ状態となり、他のビット線B4、B6、B8には2Vは供給されない。従って、選択メモリセルMCαの両端には4Vの電位差が発生することになるが、今ダイオードの逆方向の耐圧（ブレークダウン電圧）を2Vとしているために、選択メモリセルMCα内の可変抵抗素子の端子間には2Vが供給される。そして、この条件の下で可変抵抗値は、約1MΩにまで上昇する。

【0084】

なお、T1E0、E1、E2、E3、F0、F1、F2、F3の制御はコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8によりなされることは実施の形態1の場合と全く同様であり、詳細な説明は省略する。

【0085】

（リセット動作）

図24、図25は本発明に係るメモリセルへのリセット動作を説明する回路図である。選択メモリセルMCα内の可変抵抗素子の抵抗値をリセットするには、選択メモリセルMCα内のダイオードと接続されているワード線W2に4.5Vを印加する。また、選択されない他のワード線W1、W3～W6には2Vを印加する。各ワード線W1～W6への電圧の供給はワード電圧印加用ドライバWDC1～WDC6（部分のみ図示）により供給される。そして、選択メモリセルMCα内の可変抵抗素子に接続されているビット線B2には2Vの印加状態を維持する。その他のビット線B1、B3～B8には4Vを印加することによって、非選択メモリセルMC内のダイオードには逆方向に2Vの電位差が発生するが、逆方向ブレークダウン電圧が2V以上であるため電流は流れない。前述した抵抗値リセット動作にて説明したように、コラムデコーダCD内のT1E1、E2、E3がオンすることによって、4Vが選択ビット線B2以外のビット線B4、B6、B8（図25）に供給される。また、入力されたコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8に基づいて、選択メモリセルMCαに接続したビット線B2を選択するT1E0のみオフ状態になり、これに伴いビット線B2に2Vを供給するT1F0がオンすることになる。

【0086】

この入力条件の下では、ワード線W2から選択メモリセルMCα内のダイオードと可変抵抗素子を通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路ができるため、メモリセルA内の可変抵抗素子の端子間に2V以上の電位差を発生させることが可能となり、可変抵抗素子におけるリセット動作（抵抗値の低減）を実行することができる。そしてこのワード線W2から4.5Vを印加することによって、可変抵抗素子の端子間には、約2Vの電位差（順方向電圧のVf分を差し引いて約2Vとなる。）が発生するために、可変抵抗素子の抵抗値は、約数百Ωにまで低減する。この一連の動作により、選択メモリセルMCαのみに書き込み情報（データ）のリセット動作が行われることになる。

【0087】

最初、可変抵抗値が相対的に大きい場合は、上述した書き込み動作を初めて実行したときに可変抵抗値が低減される。また、可変抵抗値が相対的に小さい場合には、上述したリセット動作を初めて実行したときに可変抵抗値が上昇する。このように、可変抵抗値の初期値の大小に依存して、可変抵抗値が上昇または低減する。つまり、最初に可変抵抗値が大であれば、初めて実行した動作が上述した書き込み動作、リセット動作どちらの場合にも可変抵抗値が小に低減される。また、最初に可変抵抗値が小であれば、初めて実行した動作が上述した書き込み動作、リセット動作のどちらの場合にも可変抵抗値は大に上昇する

【0088】

（読み出し動作）

図26、図27、図28は本発明に係るメモリセルの読み出し動作を説明する回路図である。このメモリアレイが非アクティブ時（フリチャージ状態）には、書き込み動作と同様に、全ビット線B1～B8を0V（GNDレベル）、全ワード線W1～W6に0Vを印加する。選択メモリセルMCαに接続されたワード線W2に2Vを印加し、ビット線B2には0Vを印加する。また、他のワード線W1、W3～W6にはフリチャージ状態からの0V印加を継続する。また、入力されたコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8に基づいて、選択メモリセルMCαに接続されたビット線B2を除く他のビット線B4、B6、B8（図27）に対して2Vを供給する。これにより、選択メモリセルMCα内の可変抵抗素子を除く他の可変抵抗素子間には、電位差が発生せず、抵抗値が変動しないように対策をとっている。

【0089】

なお、ワード線W1～W6に対応してドレイン電流印加用ドライバのほかに、2V作成回路J1、図示していないが、読み出し用1.5Vドライバ回路（非アクティブ時G1）、読み出し用1.5Vドライバ回路（非アクティブ時G2）等が配置される。

【0090】

これは、図27に示すように、入力されたコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8にもとづいて、選択メモリセルMCαに接続されたビット線B2に接続したTnE0のみがオフ状態となり、コラムデコーダCD内の他のTnE1、E2、E8は全てオン状態となることによって、2V作成回路にて作成された2Vを選択メモリセルMCαに接続されたビット線B2を除く他のビット線B4、B6、B8に対して供給することが可能となる。また、入力されたコラムアドレス信号（線）CDS2、CDS4、CDS6、CDS8にもとづいて、ビット線B2に0Vを供給するTnF0のみがオン状態となり、選択メモリセルMCαに接続されたビット線B2のみに、0Vが供給される。その結果、図24に示すように、ワード線W2から選択メモリセルMCα内のダイオード及び可変抵抗素子を通り、ビット線B2に抜ける矢符Aで示す唯一の電流経路が作成され読み出し動作が実行される。

【0091】

なお、図26、図27に示す様にアクティブとなる読み出し用2Vドライバ回路に接続されたワード線W2と接続されたメモリセルMCbにはコラムデコーダCDのTnE1より2Vが供給されるため、メモリセルMCb内の可変抵抗素子の端子間には電位差が発生せず、抵抗値の変動は起こらない。また、メモリセルMCcでは、メモリセルMCc内のダ

10

20

30

40

50

イオードに接続されたワード線W1の電位が0Vであり、ビット線B2の電位が0Vとなり、電流経路が作成されないため、抵抗値の変動は起こらない。従って、アクセスされる選択メモリセルMCα以外のメモリセル内の可変抵抗素子の抵抗値は変動することは無い。

【0092】

差動増幅器DIAPの基準値となるRef LevelはRef用メモリセルアレイRefMCAとRef用カラムデコード回路RefCDにて作成される。

これは選択メモリセルMCαがアクセスされたときに、Ref Level作成用のメモリセルRefA0とメモリセルRefB0も同時にアクセスされる。また、図28に示すようにRef用カラムデコード回路RefCDにてRef用ビット線C0とRef用ビット線C1に0Vが供給されることにより、Ref用ビット線C0とRef用ビット線C1には、メモリセルRefA0とメモリセルRefB0のデータが出力される。

10

【0093】

上述したようにRef用メモリセルアレイRefMCAの左半分には予め抵抗値を大に設定しておき、右半分には予め抵抗値を小に設定しておく。したがって、メモリセルRefA0から読み出されたRef用ビット線C0は低レベルを示し、メモリセルRefB0から読み出されたRef用ビット線C1は高レベルを示す。読み出し用回路RC内の読み出し用ショート回路SCReadにおいてRef用ビット線C0の信号とRef用ビット線C1の信号とをショートすることにより、これらの信号の中間値が得られる。このレベルを読み出し用回路RC内の差動増幅器DIAPのRef Levelとして入力する。Ref LevelとマルチプレクサMPXからの出力の読み出しデータとを差動増幅器DIAPにより比較して、メモリセルMCに蓄積されたデータが1か0かを識別し、読み出し動作が実行される。

20

【0094】

<実施の形態3>

実施の形態1においては電流制御素子としてFETを用いた場合を示し、実施の形態2においては電流制御素子としてダイオードを用いた場合を示した。実施の形態3においては電流制御素子としてFETに替えてバイポーラトランジスタ（以下、BPTともいう）を用いた場合を示す。

【0095】

図35は本発明に係るメモリアレイの構成を示す説明図である。メモリセルMCをマトリックス状に2×2個配置してメモリアレイとした状態を示す。メモリセルMCは、電流制御素子Qc及び可変抵抗素子Rcの組み合わせにより構成される。電流制御素子QcはBPTにより構成される（以下、BPTにより構成される電流制御素子QcをBPTQcともいう）。BPTQcは可変抵抗素子Rcに流れる電流を制御するように可変抵抗素子Rcの電流路に直列に接続される。

このメモリセルMCは1個の電流制御素子（バイポーラ「トランジスタ」）Qcと1個の可変抵抗素子（Resistor）Rcとの組み合わせであるから1T1R型（メモリセル）という。

30

【0096】

BPTQcのコレクタを共通接続部VSに共通に接続し、BPTQcのベースをロー方向において共通に接続してワード線W1、W2を構成する。BPTQcのエミッタを可変抵抗素子Rcの一方の端子に接続し、可変抵抗素子Rcの他方の端子をコラム方向に共通に接続してビット線B1、B2を構成し、メモリアレイを形成する。なお、共通電位部VSはマトリックスの領域を適宜グループ分けして、各グループ毎に電位を設定するようにしても良い。BPTはPNPトランジスタとしているがNPNトランジスタとすることも可能である。また、BPTは優れた電流制御性を有することから、正確な抵抗制御が可能となり、信頼性の高い記憶装置を実現できる。

40

【0097】

例えばビット線B2とワード線W1との交点にあるメモリセルMCαを選択する場合を例

50

に、各動作モードにおける印加電圧の例を以下に示す。印加電圧は基本的にはダイオードを用いた実施の形態2の場合と同様である。NPNトランジスタとした場合には適宜バイアス極性などを変更する必要がある。なお、基本的な動作は実施の形態1、実施の形態2において説明した内容と同様であり詳細な説明は省略する。また、共通電位部VSは接地電位(0V)とした。

【0098】

(書き込み動作)

選択ビット線B2に書き込み電圧として例えば5Vを印加する。選択ワード線W1は0Vとして、BPTQcのエミッタ・ベース間に順方向のバイアスを印加し、可変抵抗素子Rcに書き込み用の電流が流れるようにする。なお、非選択ビット線B1は0Vとし、非選択ワード線W2は書き込み電圧と同一の5Vにして非選択メモリセルでのリーク電流の発生を防止し、リーク電流による書き込みディスタースを防止する。

【0099】

(リセット動作)

選択ビット線B2にはリセット電圧として適宜の電圧を印加する。選択ワード線W1は0Vとして、BPTQcのエミッタ・ベース間に順方向のバイアスを印加し、可変抵抗素子Rcにリセット用の電流が流れるようにする。なお、非選択ビット線B1は0Vとし、非選択ワード線W2はリセット電圧と同一の電圧にして非選択メモリセルでのリーク電流の発生を防止し、リーク電流によるリセットディスタースを防止する。

【0100】

(読み出し動作)

選択ビット線B2には読み出し電圧として例えば2~3Vを印加する。選択ワード線W1は0Vとして、BPTQcのエミッタ・ベース間に順方向のバイアスを印加し、可変抵抗素子Rcに読み出し用の電流が流れるようにする。なお、非選択ビット線B1は0Vとし、非選択ワード線W2は読み出し電圧と同一またはそれ以上の電圧にして非選択メモリセルでのリーク電流の発生を防止し、リーク電流による読み出しディスタースを防止する。

【0101】

図36は本発明に係るメモリアレイの構造を模式的に示す説明図である。同図(a)は図35に示したメモリアレイの平面模式図であり同一部分には同一の符号を付している。(b)は(a)における矢符bbにおける概略断面図、(c)は(a)における矢符ccにおける概略断面図である。(a)において、ワード線W1、W2が適宜の間隔を置いて同一方向に平行に形成され、それと交差するコラム方向にビット線B1、B2が適宜の間隔を置いて形成される。ワード線W1、W2とビット線B1、B2との各交差点においてメモリセルMCが構成される。各メモリセルMCにおいて、基板(不図示)側に形成されたワード線W1、W2とその上方に形成されたビット線B1、B2とが重畳する部分に可変抵抗素子Rcが積層して形成される。

【0102】

図36(b)において、基板状の領域として構成されたBPTQcのコレクタ領域BPT-Cの上部にワード線W2が形成される。BPTQcはPNPトランジスタとしているから、コレクタ領域BPT-CはP型導電性を有し、例えばP型シリコン基板などにより構成される。基板状のコレクタ領域BPT-Cは共通接続部として機能する。ワード線W2及びベース領域BPT-Bは、コレクタ領域BPT-CにN(N+)型導電性の拡散層を形成することにより、構成される。なお、メモリセルMCにおいて、ワード線W2はBPTQcのベース領域BPT-Bを兼ねる。BPTQcのエミッタ領域BPT-Eは、ベース領域BPT-BにP(P+)型導電性の拡散層を形成することにより、構成される。隣接するエミッタ領域BPT-E相互間には絶縁層STI(Skullion Trench Isolation)が適宜形成され、各エミッタ領域BPT-EBPTを相互に分離する。各エミッタ領域BPT-Eとビット線B1、B2との間には可変抵抗素子Rcが形成される。可変抵抗素子Rcとエミッタ領域BPT-Eとの間、可変抵抗素子Rcとビット線B1、B2の間にはコンタクト金属Mが形成される。コンタクト金属Mとしては例

10

20

30

40

50

えは、白金（Pt）、イリジウムなどを用いることが可能である。隣接するメモリセルMC相互間には絶縁層ISO（Isolation）が適宜形成され、各メモリセルMCを相互に分離している。図36（c）においては、（b）でのワード線W2に加えて、ワード線W1も示される。その他の点は（b）と同様であり、詳細は省略する。

【0103】

上述したとおり、本発明に係るメモリセルは、基板状のコレクタ領域BPT-Cへの拡散層により形成したワード線をベース領域BPT-Bに兼用でき、さらに、ベース領域BPT-Bへの拡散層によりエミッタ領域BPT-Eを形成することから、基板状のコレクタ領域BPT-Cに対してベース領域BPT-B、エミッタ領域BPT-Eを垂直方向に形成できる。また、エミッタ領域BPT-Eに積層して可変抵抗素子を形成することから、横方向の寸法（平面パターン形状）を極限まで縮小することが可能になり、大容量の記憶装置に適したメモリセルを構成することができる。

【0104】

BPTQCをNPNトランジスタとした場合には、コレクタ領域BPT-CをN型、ベース領域BPT-BをP（P+）型、エミッタ領域BPT-EをN（N+）型とすれば良い。なお、P型シリコン基板の上にNPNトランジスタを構成することも可能である。

【0105】

図35、図36に記載したメモリセルに実施の形態1、実施の形態2における周辺回路と同様な周辺回路を接続して記憶装置を構成することができる。つまり、ワード線W1、W2にはワード線W1、W2を選択するためのローデコーダを接続し、ビット線B1、B2にはビット線B1、B2を選択するためのコラムデコーダを接続し、コラムデコーダにはメモリセルのメモリ情報を読み出すための読み出し用回路を接続する。これにより実施の形態1、実施の形態2と同様な効果を奏する記憶装置が得られる。

【0106】

【発明の効果】

上述したように、本発明によれば、ヘロアスカイト構造の薄膜材料を可変抵抗素子として利用したメモリセルを1T1R型、1D1R型として構成し、このメモリセルをマトリクス状に配置しメモリアレイを構成し、上述したアクセス手法を用いることによって、不揮発性メモリとして書き込み動作、リセット動作、読み出し動作をランダムアクセス（1ビット単位での動作）にて行うことが可能となる。

【0107】

また、低電圧で動作可能な、且つ高集積が可能なメモリセル及び該メモリセルを用いたメモリアレイ（記憶装置）を提供することが可能となる。また、メモリセルアクセス時ににおいて、隣接するメモリセルへのリーク電流が発生するのを阻止することができる周辺回路構成にしたので信頼度の高い有用な記憶装置となる。更に、書き込み動作、リセット動作、読み出し動作は各々100ns以下の高速にて動作が可能となる。また、昇圧回路、ベリファイ動作等が不要な記憶装置となる。

【図面の簡単な説明】

【図1】本発明に係るメモリアレイの構成を示す説明図である。

【図2】本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図3】本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図4】本発明に係るメモリセルのリセット動作を説明する回路図である。

【図5】本発明に係るメモリセルのリセット動作を説明する回路図である。

【図6】本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図7】本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図8】本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図9】本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図10】本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図11】本発明に係るメモリセルの周辺回路の配置を示す回路図である。

【図12】アクセスビット線電位供給用ドライバの一例を示す説明図である。

【図 13】ソース電圧印加用ドライバ及びビット線電位供給用ドライバの一例を示す回路図である。

【図 14】リセット動作を行う別のアクセス方法を説明する回路図である。

【図 15】リセット動作を行う別のアクセス方法を説明する回路図である。

【図 16】書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 17】書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 18】書き込み動作、リセット動作、読み出し動作を示すブロック図である。

【図 19】本発明に係るメモリセルの周辺回路の配置を示すブロック図である。

【図 20】比較のために示すフラッシュメモリの周辺回路の配置を示すブロック図である

10

【図 21】本発明に係るメモリアレイの構成を示す説明図である。

【図 22】本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図 23】本発明に係るメモリセルへの書き込み動作を説明する回路図である。

【図 24】本発明に係るメモリセルへのリセット動作を説明する回路図である。

【図 25】本発明に係るメモリセルへのリセット動作を説明する回路図である。

【図 26】本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 27】本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 28】本発明に係るメモリセルの読み出し動作を説明する回路図である。

【図 29】従来技術における印加パルス数と抵抗値との関係を示すグラフである。

【図 30】従来技術における印加パルス数と抵抗値との関係を示すグラフである。

20

【図 31】従来技術におけるパルスの極性に対する依存性を示すグラフである。

【図 32】従来技術におけるパルスの極性に対する依存性を示すグラフである。

【図 33】従来技術におけるメモリアレイ構成を示す斜視図である。

【図 34】従来のメモリアレイの構成例を示す回路図である。

【図 35】本発明に係るメモリアレイの構成を示す説明図である。

【図 36】本発明に係るメモリアレイの構造を模式的に示す説明図である。

【符号の説明】

Qc 電流制御素子

MC メモリセル

Rc 可変抵抗素子

B1～B8 ビット線

W1～W6 ワード線

SD1、SD2 ソースドライバ線

CD コラムデコーダ

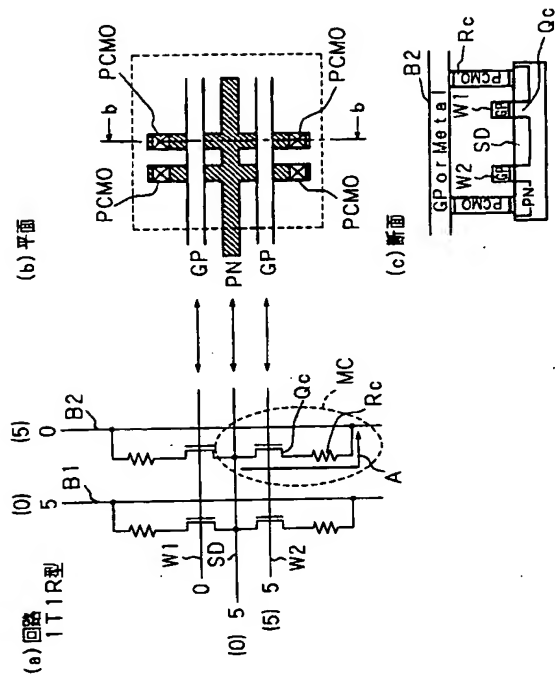
RC 読み出し用回路

RD ローデコーダ

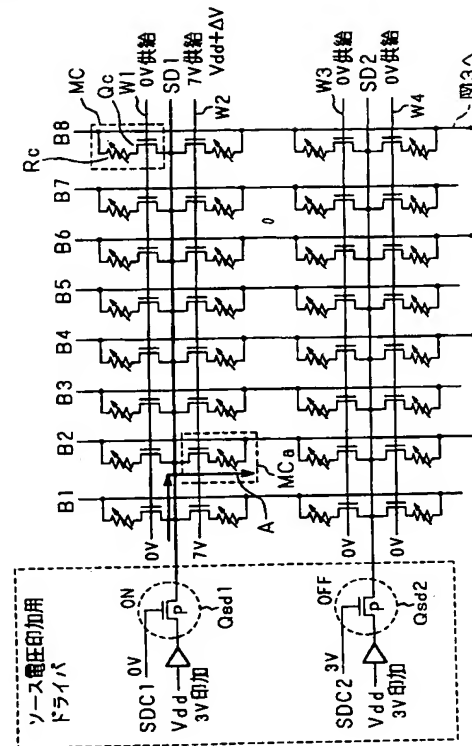
VS 共通接続部

30

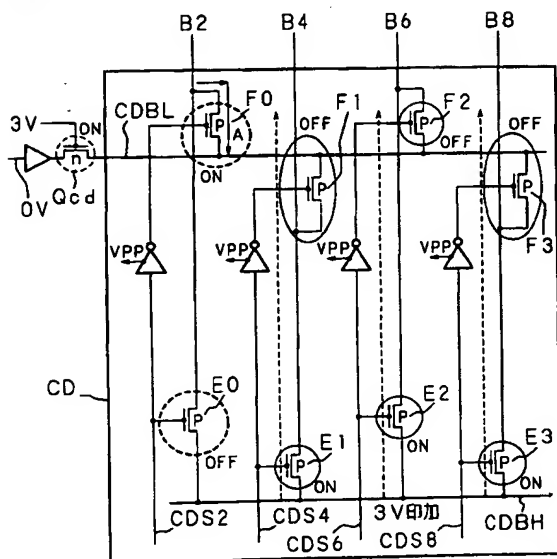
【図 1】



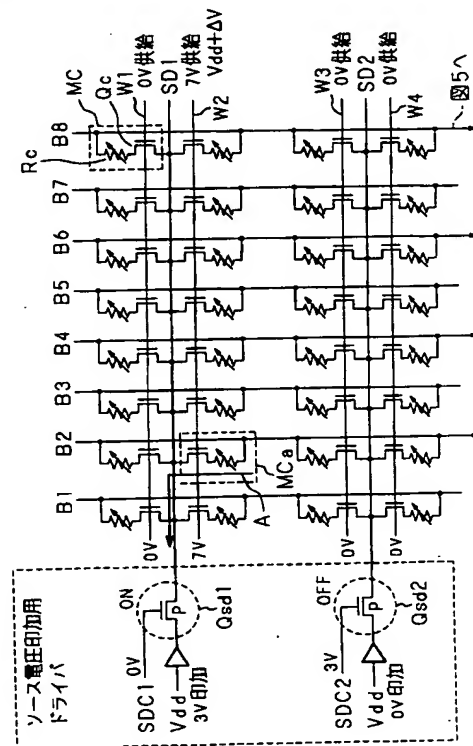
【図 2】



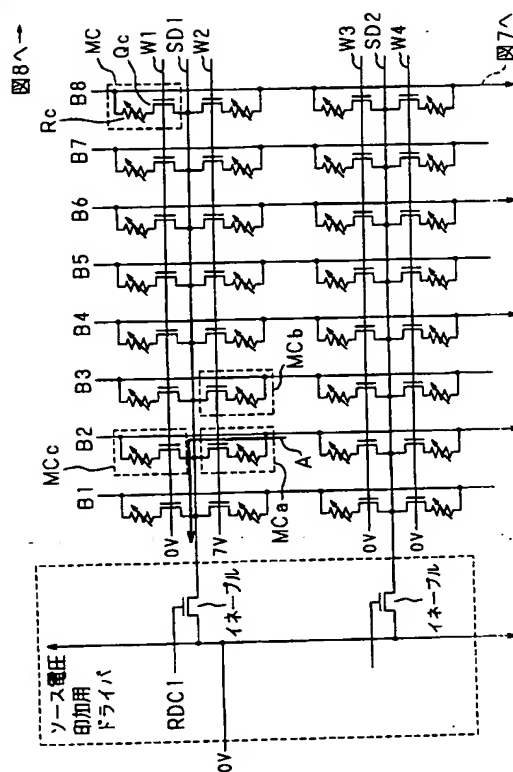
【図 3】



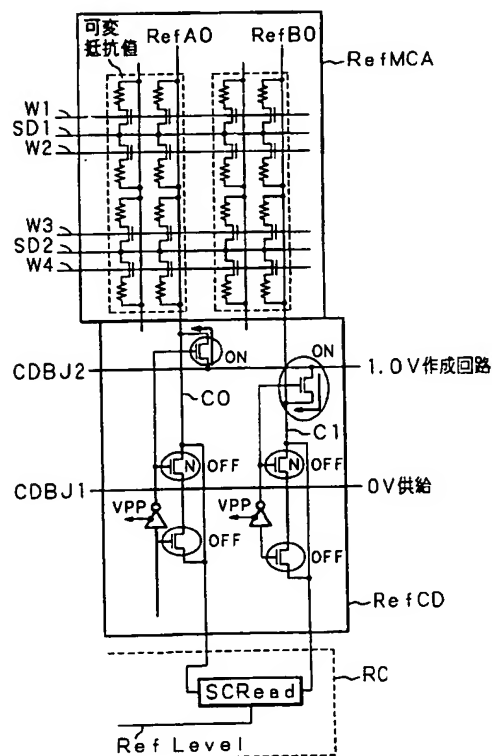
【図 4】



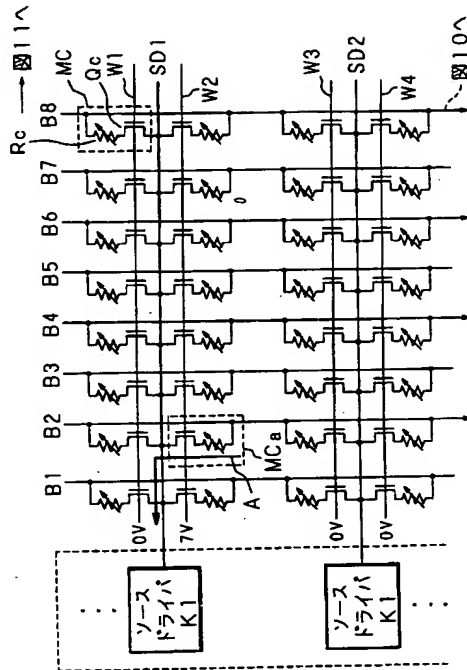
【图 6】



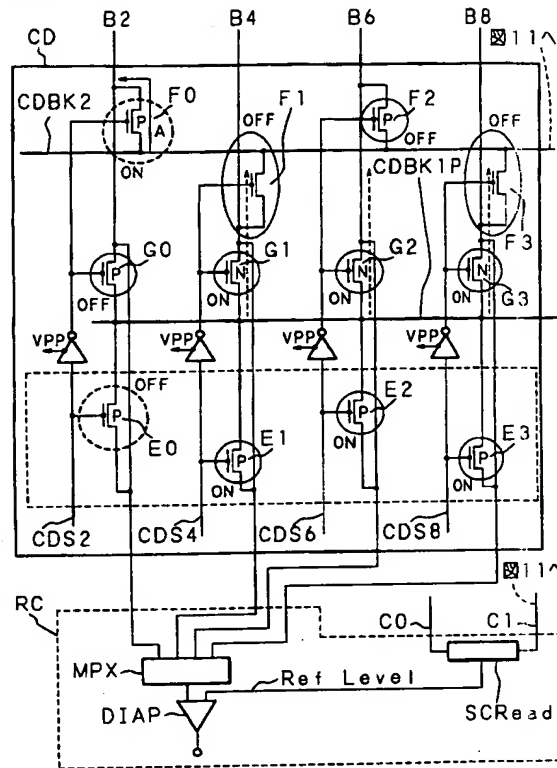
【 8 】



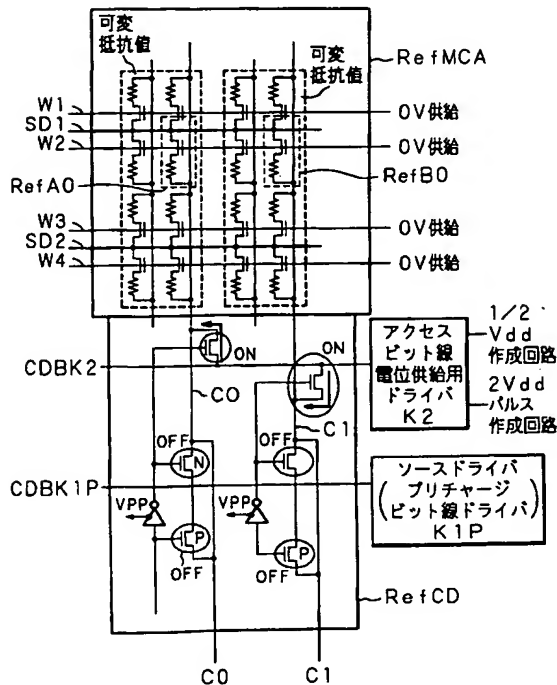
【図 9】



【図 10】



【図 11】

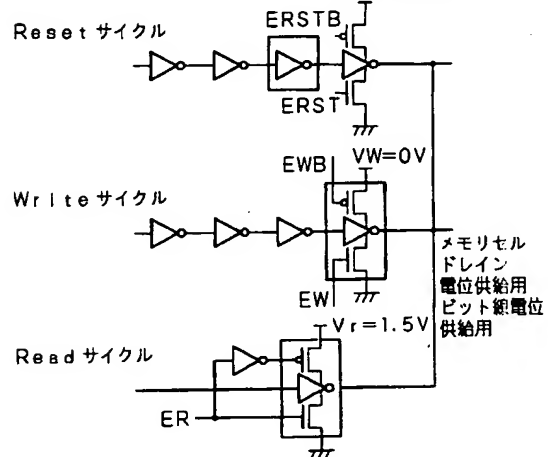


【図 12】

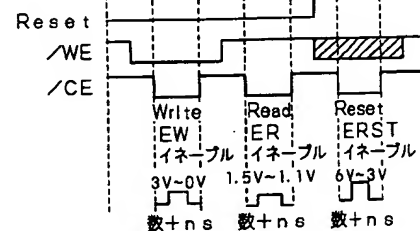
(a) アクセスビット線電位供給用ドライバ K2

Level Shifter

VRST=6.0V



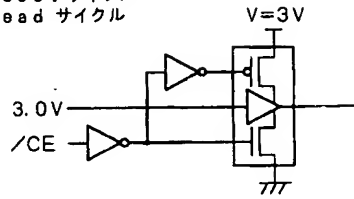
(b)



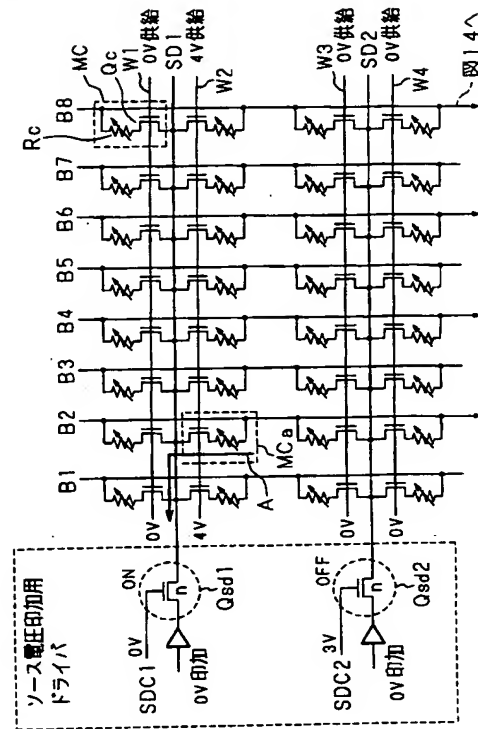
【図 13】

ソース電圧印加用ドライバ 兼
ビット線電位供給用ドライバ K1

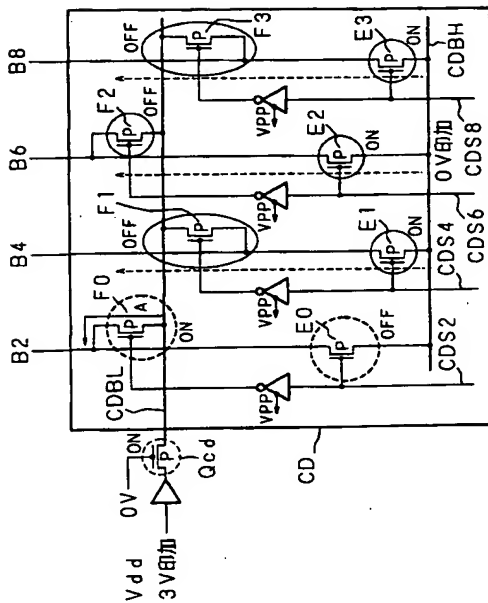
Write サイクル
Reset サイクル
Read サイクル



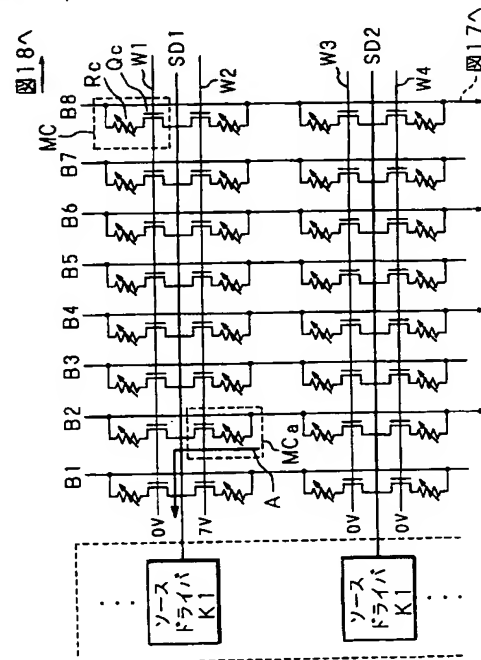
【図 14】



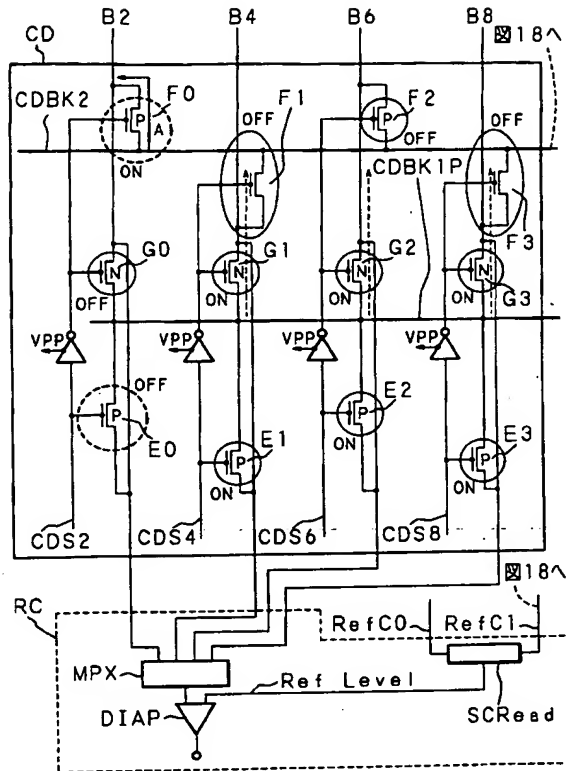
【図 15】



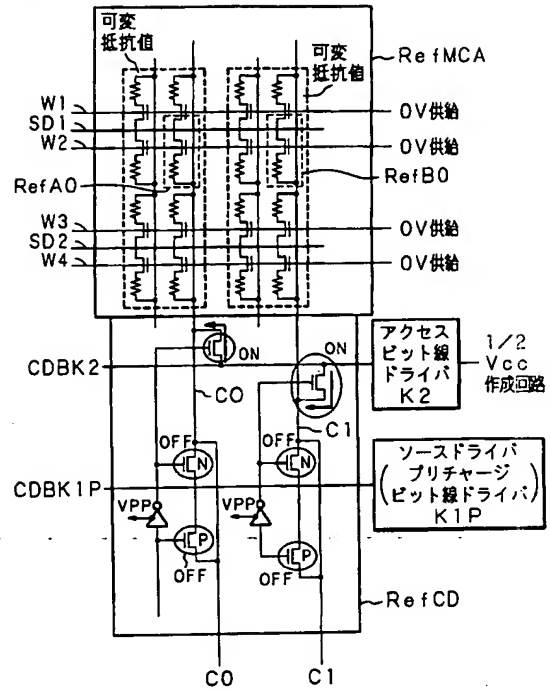
【図 16】



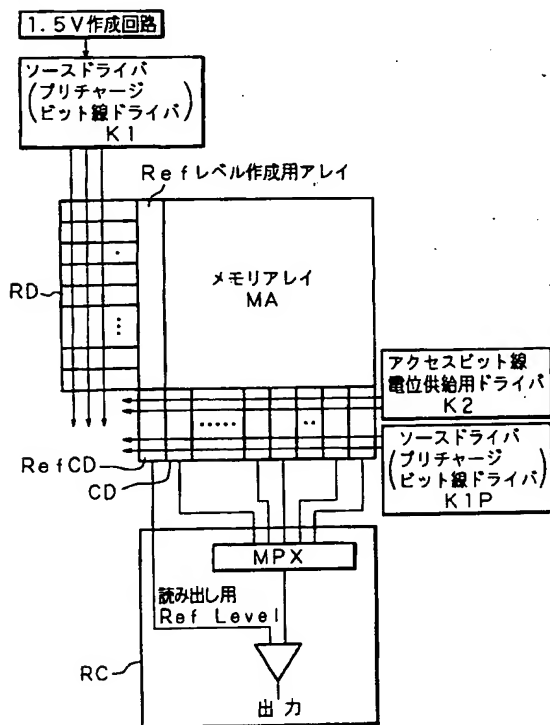
【図 17】



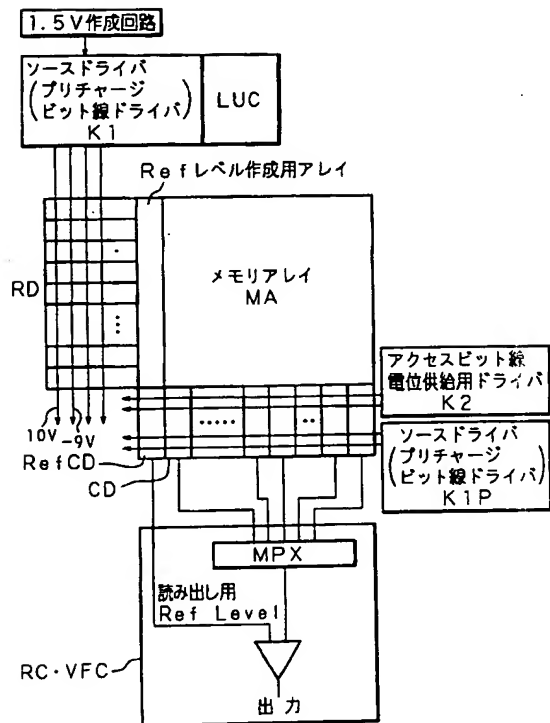
【図 18】



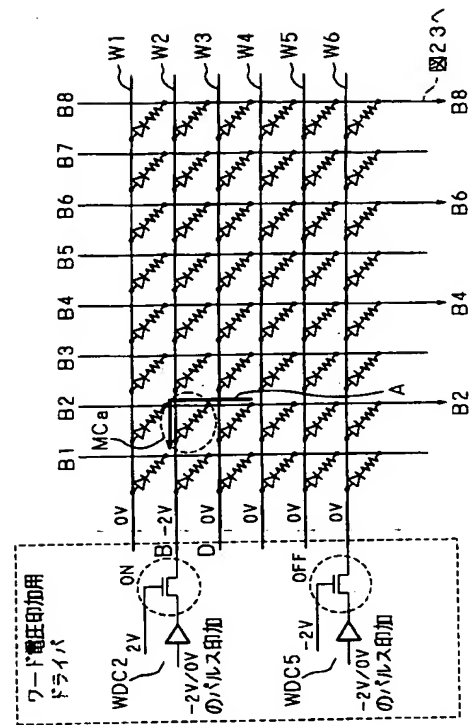
【図 19】



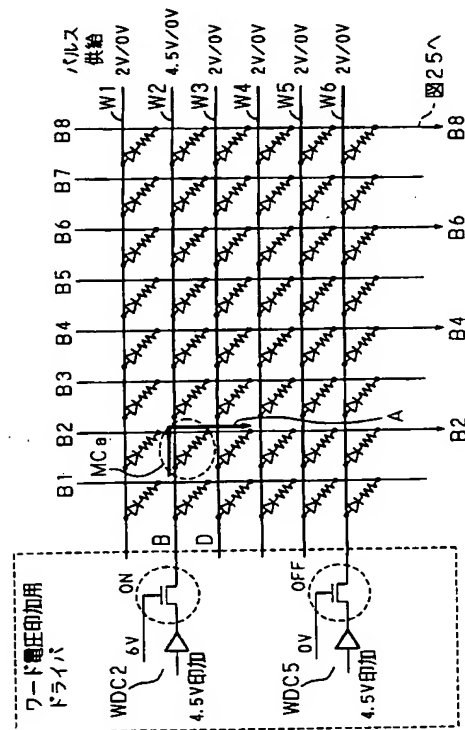
【図 20】



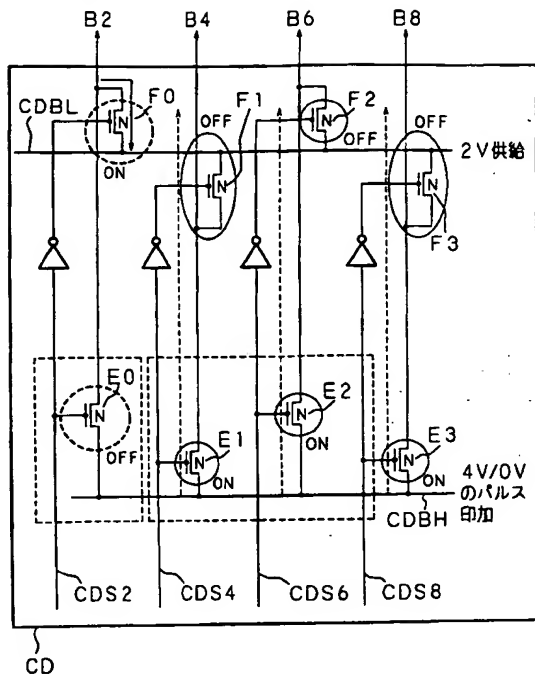
【 2 2 】



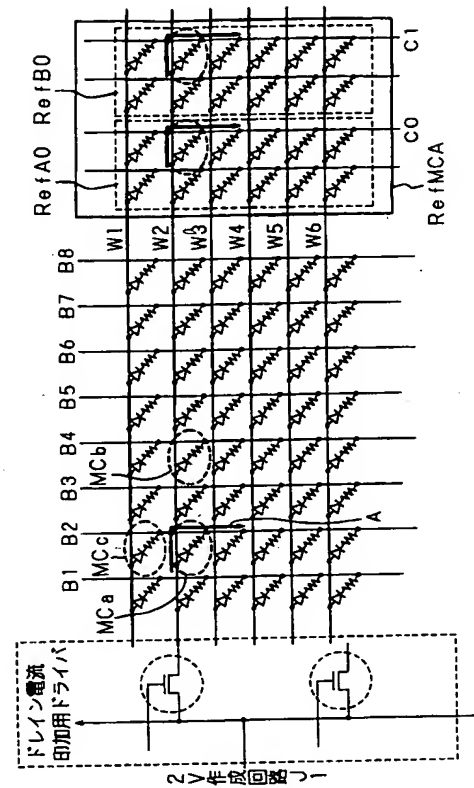
【 24 】



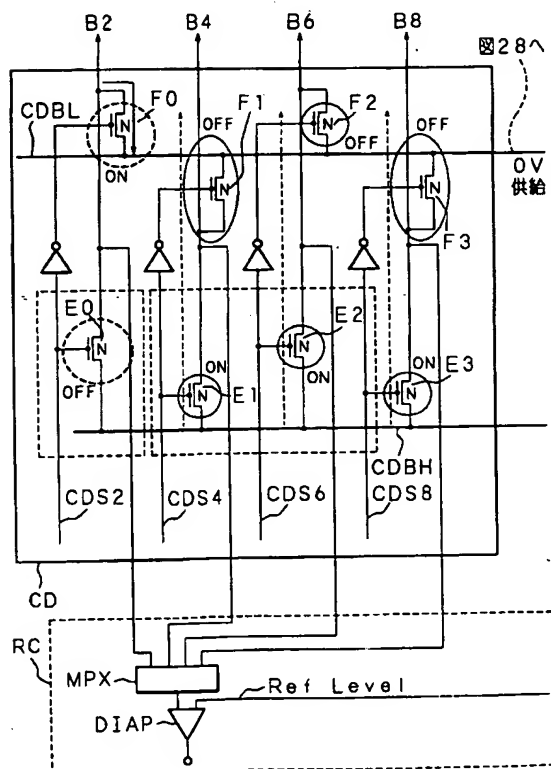
【図 25】



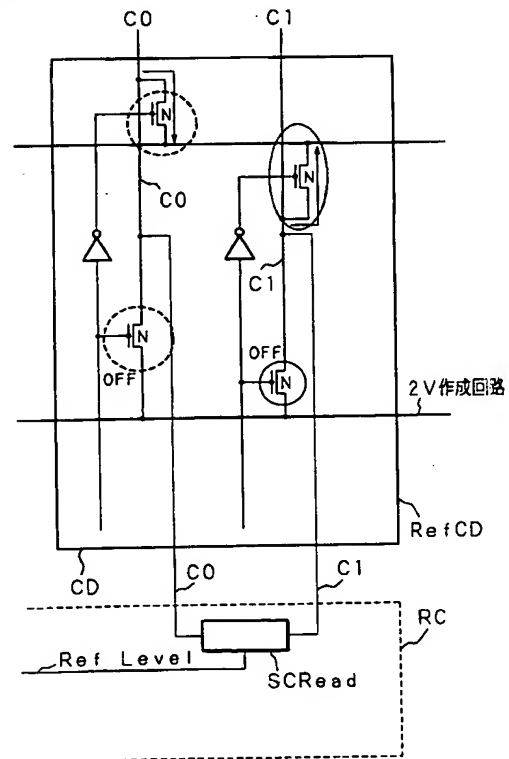
【図 26】



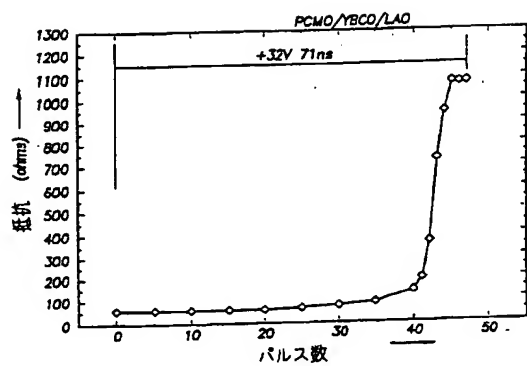
【図 27】



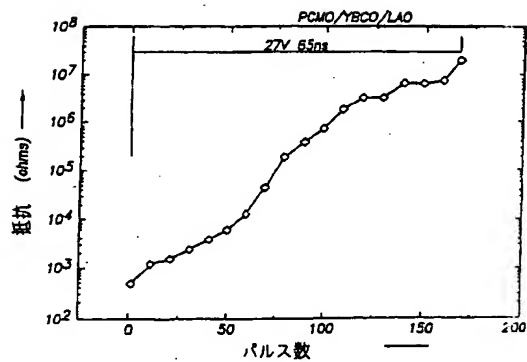
【図 28】



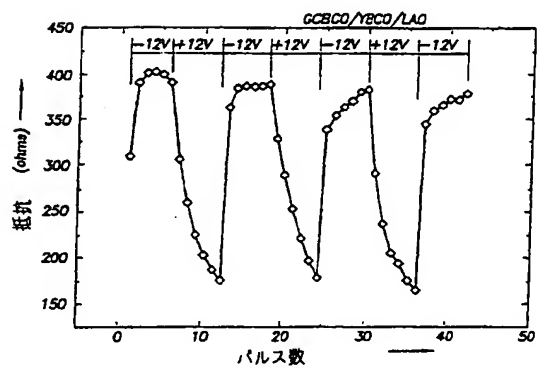
【図 29】



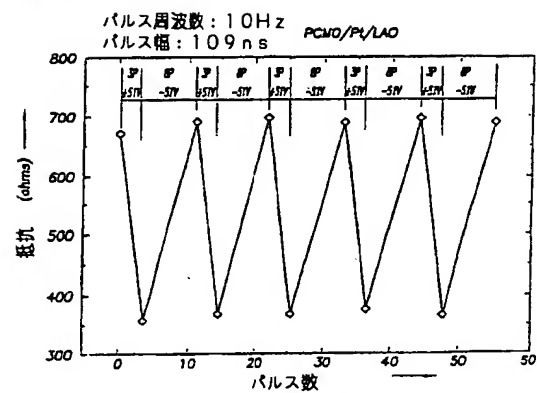
【図 30】



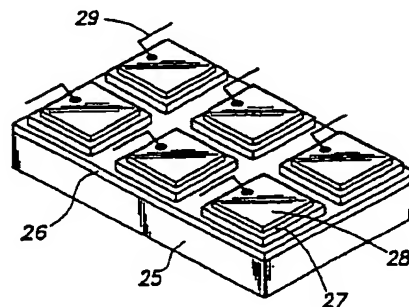
【図 31】



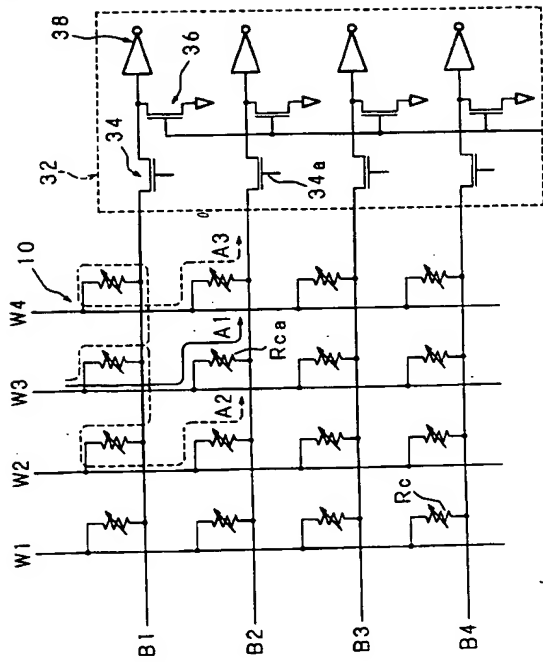
【図 32】



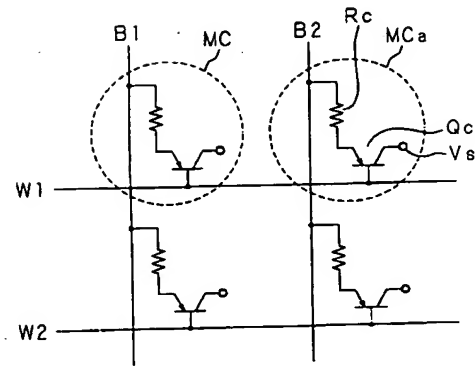
【図 33】



【図 34】



【図 35】



【図 36】

